

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-089563

(43)Date of publication of application : 15.04.1991

(51)Int.Cl.

H01L 31/10  
H01L 21/331  
H01L 27/06  
H01L 29/73

(21)Application number : 01-226307

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 31.08.1989

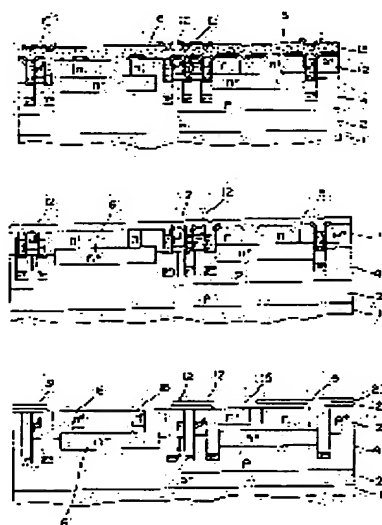
(72)Inventor : KYOMASU MIKIO  
SAWARA MASAOKI  
OKAJIMA KENICHI  
NAKAMURA HIROYASU

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To reduce a parasitic capacitance based on wirings by allowing part of an n-type silicon epitaxial layer of a predetermined region to remain as an electrode lead layer and forming a silicon oxide film obtained by oxidizing the epitaxial layer substantially in the same thickness as that of the lead layer.

**CONSTITUTION:** An SiO<sub>2</sub> film and an SiN film are formed on the surface of a polysilicon 13, and so patterned as to allow them to remain only on the upper part of a deep groove by dry etching. Then, the polysilicon 13 is etched to allow it to remain only in the deep groove. After the SiN film remaining on the surface is removed by dry etching, and the surface is flattened by oxidizing. Then, an SiO<sub>2</sub> film 26 and an SiN film 27 are formed on the surface, and desired regions of these films are patterned. With the remaining films 26, 27 as masks phosphorus is diffused to form an n<sup>+</sup>-type layer 15 to become a collector wall of an npn transistor and an n<sup>+</sup>-type layer 16 to become an electrode lead layer of a PIN photodiode.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

Best Available Copy

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-89563

⑤ Int. Cl.<sup>5</sup>  
H 01 L 31/10

識別記号

庁内整理番号

④ 公開 平成3年(1991)4月15日

9055-5F H 01 L 31/10  
8728-5F 27/06

1 0 1 A  
D※

審査請求 未請求 請求項の数 1 (全9頁)

⑬ 発明の名称 半導体装置

⑭ 特 願 平1-226307

⑮ 出 願 平1(1989)8月31日

⑯ 発 明 者 京 増 幹 雄 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑯ 発 明 者 佐 原 正 哲 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑯ 発 明 者 岡 島 賢 一 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑰ 出 願 人 浜松ホトニクス株式会 静岡県浜松市市野町1126番地の1  
社  
⑱ 代 理 人 弁理士 長谷川 芳樹 外3名  
最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

高濃度p型シリコン半導体基板上に低濃度p型シリコンエピタキシャル層が形成され、さらにその上にn型シリコンエピタキシャル層が形成されている半導体装置であって、

前記低濃度p型シリコンエピタキシャル層の所定領域の表層部にn型埋込層が形成されていることにより、前記高濃度p型半導体基板をP層、前記低濃度シリコンエピタキシャル層をI層および前記n型埋込層をN層とするPINホトダイオードが構成されており、

前記所定領域の近傍の前記n型シリコンエピタキシャル層中への不純物ドーブにより形成されたn型コレクタ層、p型ベース層およびn型エミッタ層によってnpnバイポーラトランジスタが構

成されており、

前記所定領域におけるn型シリコンエピタキシャル層の一部が電極取出層として残されており、少なくともその電極取出層の周辺領域には前記n型シリコンエピタキシャル層を酸化して得られるシリコン酸化膜が前記電極取出層とほぼ同じ厚さで形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、受光素子と電子素子とが同一基板上にモノリシックに形成された半導体装置に関するものである。

〔従来の技術〕

受光素子としてPINホトダイオードが用いられ、その信号処理回路用の電子素子としてnpnバイポーラトランジスタが用いられている光受信回路が従来から知られている。しかし、その従来回路では、PINホトダイオードとnpnバイポーラトランジスタとがそれぞれ別々のチップに形

成されていて、ハイブリッドIC基板上にて相互に配線接続されていたにすぎない。

〔発明が解決しようとする課題〕

しかし、従来のハイブリッドICによる構成では、配線による寄生容量が大きいとか、組み込み工程を自動化しにくい等の問題があり、モノリシク化が望まれていた。

本発明の課題は、このような問題点を解消することにある。

〔課題を解決するための手段〕

上記課題を解決するために、本発明の半導体装置は、高濃度p型シリコン半導体基板上に低濃度p型シリコンエピタキシャル層が形成され、さらにその上にn型シリコンエピタキシャル層が形成されている半導体装置であって、低濃度p型シリコンエピタキシャル層の所定領域の表層部にn型埋込層が形成されていることにより、高濃度p型半導体基板をP層、低濃度シリコンエピタキシャル層をI層およびn型埋込層をN層とするPINホトダイオードが構成されており、PINホト

ダイオード領域の近傍においてn型シリコンエピタキシャル層中への不純物ドーブにより形成されたn型コレクタ層、p型ベース層およびn型エミッタ層によってnpnバイポーラトランジスタが構成されており、PINホトダイオード領域におけるn型シリコンエピタキシャル層の一部が電極取出層として残されており、少なくともその電極取出層の周辺領域にはn型シリコンエピタキシャル層を酸化して得られるシリコン酸化膜が電極取出層とほぼ同じ厚さで形成されているものである。

〔作用〕

高濃度p型半導体基板の上を低濃度p型エピタキシャル層およびn型エピタキシャル層による2層構造のエピタキシャル層とすることにより、PINホトダイオードおよびnpnバイポーラトランジスタが同一基板上に共存できる。また、npnバイポーラトランジスタが形成されているn型エピタキシャル層を利用してPINホトダイオード領域に電極取出層が作られ、その周囲の酸化膜が電極取出層とほぼ同じ厚さなので、PINホト

ダイオード、npnトランジスタおよびその中間領域を含む表面全体が平坦となっている。

〔実施例〕

第1図は本発明の半導体装置の一実施例を示す部分断面斜視図であり、第2図はその製造過程を示す工程断面図である。

初めに第2図を参照しながらその製造方法を説明する。不純物濃度が $10^{20} \sim 10^{21} / \text{cm}^3$ 程度の高濃度p型半導体基板1上に不純物濃度が $10^{12} \sim 10^{14} / \text{cm}^3$ 程度の低濃度p型エピタキシャル層2を $30 \sim 50 \mu\text{m}$ の厚さで形成する。なお、図示が省略されているが半導体基板1の裏面にはオートドーブ阻止のための $\text{SiO}_2$ 膜が形成されている(第2図(A)参照)。つぎに、表面に $\text{SiO}_2$ 膜3を形成し、フォトリソグラフィ技術によってその $\text{SiO}_2$ 膜3を加工する。その $\text{SiO}_2$ 膜3をマスクとして上方からボロンをイオン注入し、npnトランジスタのためのpウェル埋込層4を形成する。この埋込層4の不純物濃度は $10^{15} \sim 10^{16} / \text{cm}^3$ 程度である(第2図

(B)参照)。pウェル埋込層4の位置で示されるように、同図におけるほぼ右半分がnpnトランジスタ形成領域であり、左半分がPINホトダイオード形成領域である。ついで再び、フォトリソグラフィ技術などを用いて表面の $\text{SiO}_2$ 膜3を加工し、加工後の $\text{SiO}_2$ 膜をマスクとしてアンチモン(Sb)を熱拡散する。これによって、npnトランジスタ用のn型埋込層5およびPINホトダイオード用のn型埋込層6が形成される。n型埋込層5、6の不純物濃度は $10^{18} \sim 10^{20} / \text{cm}^3$ 程度である(第2図(C)参照)。第3図は上述した埋込層4~6のプロファイルを示しており、曲線Aがアンチモンのプロファイルであり、曲線Bがボロンのプロファイルである。その後、表面の $\text{SiO}_2$ 膜3を除去し、 $2 \mu\text{m} \pm 0.2 \mu\text{m}$ の厚さのn型エピタキシャル層7を形成する。その不純物濃度は $10^{15} \sim 10^{16} / \text{cm}^3$ 程度である(第2図(D)参照)。以上で、埋込拡散とエピタキシャル成長工程が終わる。

引き続いて、分離プロセスについて説明する。

n型エピタキシャル層7の表面全体に、 $\text{SiO}_2$ 膜8および $\text{SiN}$ 膜9を形成する。そして、その上にレジスト10を塗布し、フォトリソグラフィ技術を用いて所望領域の $\text{SiO}_2$ 膜8および $\text{SiN}$ 膜9をエッチングで除去する。その後、 $\text{SiO}_2$ 膜8および $\text{SiN}$ 膜9をマスクとして、n型エピタキシャル層7を表面から0.1 $\mu\text{m}$ の深さまでウェットエッチングし、さらに0.7 $\mu\text{m}$ の深さまで異方性ドライエッチングして、浅い溝を形成する(第2図(E)参照)。ここで、所望領域とは、npnトランジスタの分離領域、npnトランジスタ内部に将来設けるp型ベース層とコレクタウォールとの分離領域、PINフォトダイオードの受光領域等である。

つぎに、レジスト11を塗布し、フォトリソグラフィ技術により分離領域に設けられた溝の上方のみを除去する。そして、レジスト11をマスクとして3.0 $\mu\text{m}$ の異方性ドライエッチングを行い、浅い溝のうち分離領域にある溝を深くする。その後、レジスト11を残したままボロンのイオ

ン注入を行い、深い溝のそれぞれの底部に $p^+$ のストッパ層を形成する(第2図(F)参照)。つぎに、レジスト10、11を除去した後、再びレジストを塗布しフォトリソグラフィ技術を利用してボロンをイオン注入し、 $p^+$ タブ12を形成する。 $p^+$ タブ12は、PINホトダイオード領域およびnpnトランジスタ領域をそれぞれ取り囲むように形成される。ついで、レジストを除去し、各溝の内面に $\text{SiO}_2$ 膜および $\text{SiN}$ 膜を形成する。そして、 $\text{SiN}$ の異方性エッチングにより各溝の側壁の $\text{SiN}$ 膜を残したまま底部の $\text{SiN}$ 膜を除去する(第2図(G)参照)。続いて、6気圧、1050℃雰囲気中で熱酸化を行う。これにより、 $\text{SiN}$ 膜で覆われていない部分が酸化される。この酸化によって得られる酸化膜の厚さは1.5 $\mu\text{m}$ 程度であり、浅い溝をほぼ埋め尽くしてしまう。その後、ポリシリコン13を表面全体に堆積することにより、深い溝も穴埋めしてしまう。そして、ポリシリコン13の表面に $\text{SiO}_2$ 膜および $\text{SiN}$ 膜を形成し、ドライエッチングにより深

い溝の上部のみに残るようにバターンニングする(第2図(H)参照)。つぎに、ポリシリコン13をエッチングする。これによって、深い溝の内部にのみポリシリコン13が残る。そして、表面に残された $\text{SiN}$ 膜をドライエッチングにより除去した後、酸化を行って表面を平坦化する(第2図(I)参照)。

つぎに、表面に $\text{SiO}_2$ 膜26および $\text{SiN}$ 膜27を形成する。これらの膜の所望の領域をフォトリソグラフィ技術を利用してバターンニングする。残された $\text{SiO}_2$ 膜26および $\text{SiN}$ 膜27をマスクとして溝を拡散することにより、npnトランジスタのコレクタウォールとなる $n^+$ 層15およびPINホトダイオードの電極引き出し層となる $n^+$ 層16を形成する(第2図(J)参照)。なお、第2図(J)から(M)では、深い溝の中のポリシリコンおよび $\text{SiN}$ 膜の表示は簡単のため省略してある。続いて、 $\text{SiN}$ 膜の開口部を酸化した後、エミッタ領域にマスク17を形成し、ボロンをイオン注入して外部ベース18を形成す

る(第2図(K)参照)。さらに、フォトリソグラフィ技術でボロンをイオン注入して真性ベース19を形成する。その後、 $\text{SiO}_2$ 膜20を化学的気相成長法(CVD)で堆積し、加熱してプロファイルを形成する(第2図(L)参照)。

つぎに、表面の $\text{SiO}_2$ 膜20および $\text{SiN}$ 膜をドライエッチングで除去した後、ポリシリコン21を堆積する。そして、ひ素をイオン注入する(第2図(M)参照)。その後、 $\text{SiO}_2$ 膜をCVDで堆積し、加熱してエミッタ22を形成する。なお、ベース19の下側に残されてるn型エピタキシャル層がコレクタ23となる。そして、 $\text{SiO}_2$ 膜および不要なポリシリコンをドライエッチングして除去し、再び $\text{SiO}_2$ 膜をCVDで堆積する(第2図(N)参照)。

第1図に示す半導体装置は、以上の工程を経た後、必要な電極を形成したものであり、同一基板上にPINホトダイオード31とnpnトランジスタ32とがモノリシックに形成されている。PINホトダイオード31は、高濃度p型半導体基

板1をP層、低濃度p型エピタキシャル層2をI層、n型埋込層6をN層とする基板PINホトダイオードである。n型埋込層6には電極取出層16を介してカソード電極33が設けられており、基板1の裏面には図示省略したアノード電極が設けられている。電極間に逆バイアスが印加された状態で光が入射すると、低濃度p型エピタキシャル層2の空乏領域でキャリアが発生し、このキャリアが空乏領域の電界によって移動して光電流となる。また、p<sup>+</sup>タブ層上の電極34は、裏面の電極と共にPINホトダイオードのアノード電極として機能するものである。この電極34がアノード電極として付加されることにより、アノード電極を裏面電極のみとしたときよりも寄生抵抗を低減することができる。

npnトランジスタ32には、図示のように、エミッタ電極35、ベース電極36、コレクタ電極37が設けられている。p型埋込層4は周囲の素子との間のパンチスルーを防止するために設けられている。また、分離溝の底部の周囲にはスト

ッパ層29が設けられ、パンチスルーを一層効果的に防止している。

また、PINホトダイオード31では、n型エピタキシャル層7を利用してnpnトランジスタ32の表面と同じ高さの電極取出層16が形成され、さらにその周辺にはn型エピタキシャル層7を酸化して得られるシリコン酸化膜が電極取出層16と同じ高さで形成されている。したがって、PINホトダイオード31およびnpnトランジスタ32を含む表面全体が平坦となり、配線を容易に行うことができる。

なお、本実施例では、PINホトダイオード31の受光領域となる中央領域においてもSiO<sub>2</sub>膜の表面が電極取出層16と同じ高さ、すなわち、そのSiO<sub>2</sub>膜の膜厚が2μm程度となっている。しかし、この領域での膜厚は、むしろ受光すべき光の波長を考慮して決められる。波長が800~900nmの赤外光用では、SiO<sub>2</sub>膜が本実施例のように2μmと厚くてもよい。しかし、紫外域では、たとえば0.2μm程度の薄い

SiO<sub>2</sub>膜が望ましい。

#### 〔発明の効果〕

以上説明したように、本発明の半導体装置によれば、PINホトダイオードおよびnpnバイポーラトランジスタが同一基板上にモノリシックに形成されているので、配線に基づく寄生容量を小さくできる等の効果を有する。したがって、光通信受信回路等に用いた場合、従来回路に比較して一層高速に動作させることが可能となる。また、ハイブリッドICのような組み込み工程が不要である。しかも、表面が平坦であるので、その後の配線を容易に行うことができる。

#### 4. 図面の簡単な説明

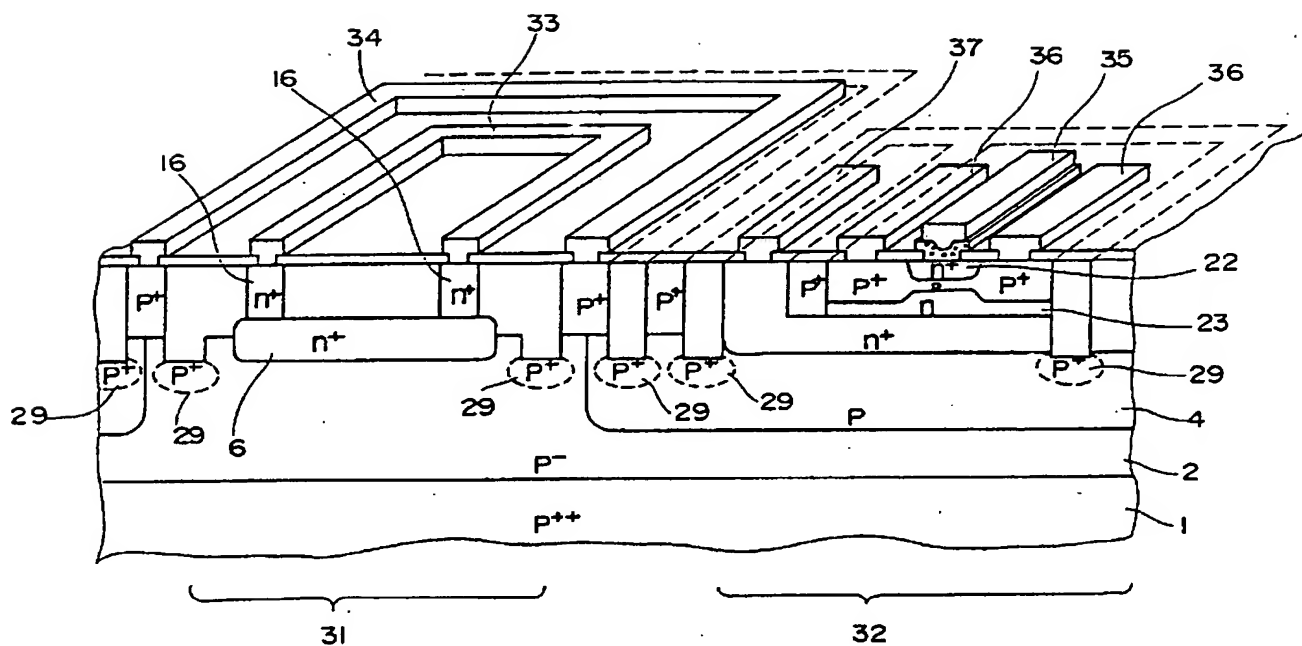
第1図は本発明の一実施例である半導体装置の部分断面斜視図、第2図はその製造方法を示す工程断面図、第3図は埋込層のプロファイルを示すグラフである。

1…高濃度p型半導体基板、2…低濃度p型エピタキシャル層、4…p型埋込層、5、6…n型

埋込層、7…n型エピタキシャル層、12…p<sup>+</sup>タブ、16…電極取出層、18…外部ベース、19…真性ベース、22…エミッタ、23…コレクタ、31…PINホトダイオード、32…npnトランジスタ。

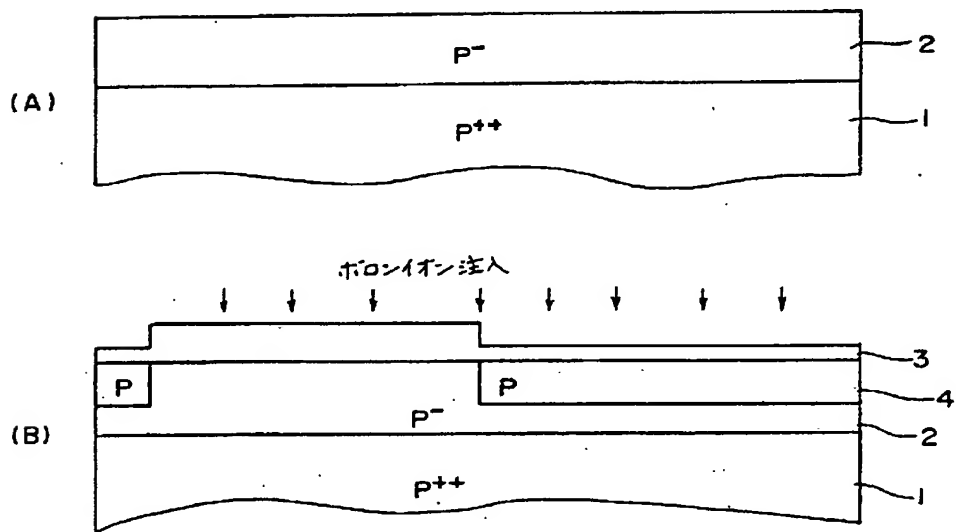
代理人弁理士  
同

長谷川 芳 樹  
塩 田 辰 也



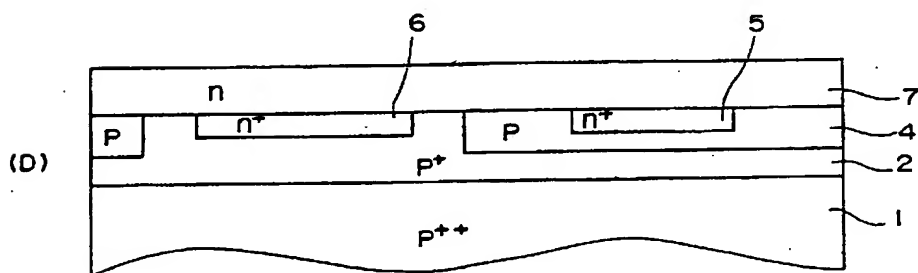
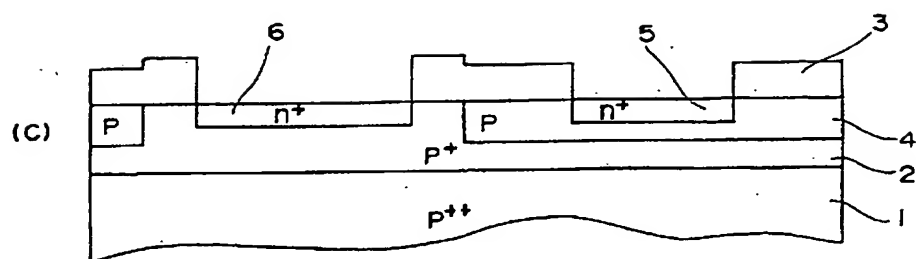
実施例

第 1 図



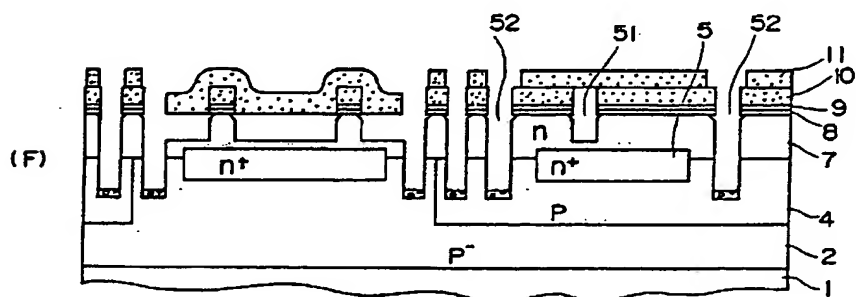
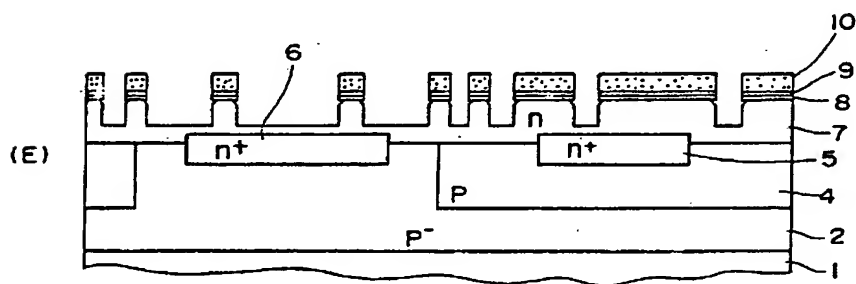
実施例の製造方法 (1)

第 2 図 (1/7)



実施例の製造方法 (2)

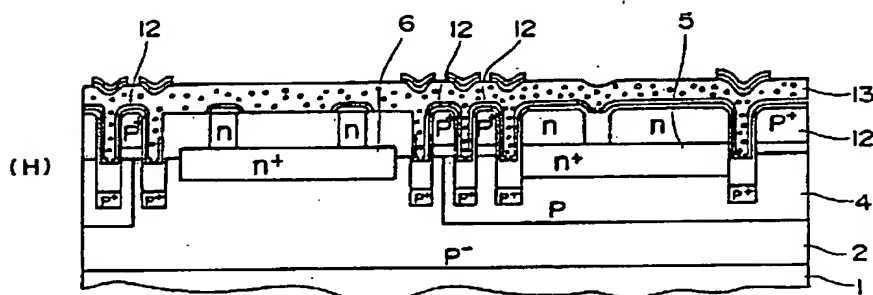
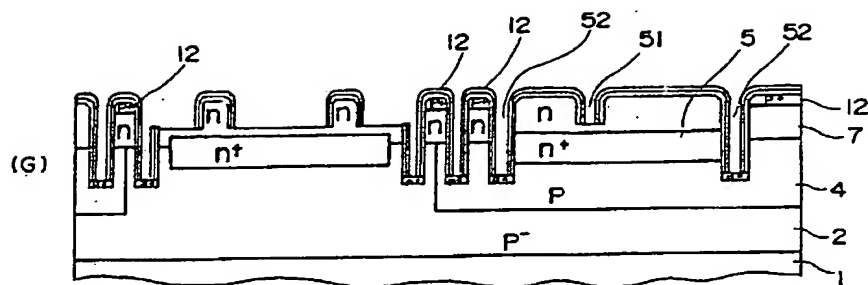
第 2 図 (2/7)



実施例の製造方法 (3)

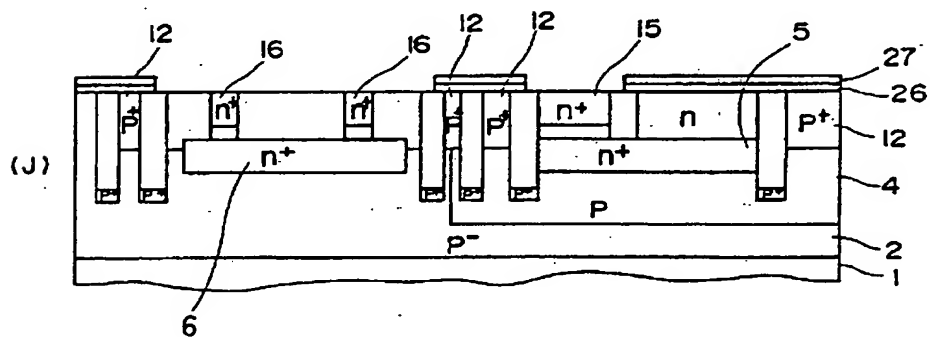
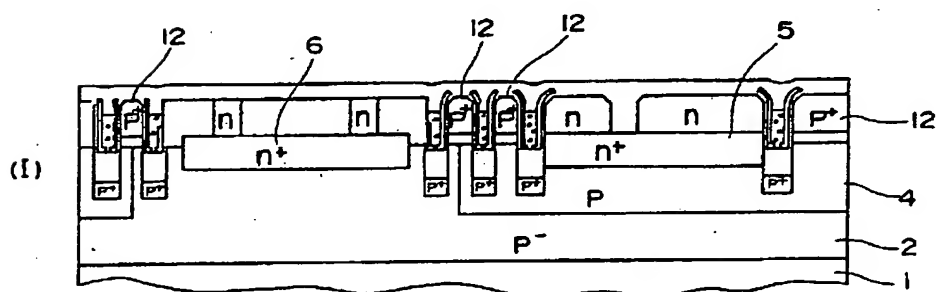
第 2 図 (3/7)





実施例の製造方法 (4)

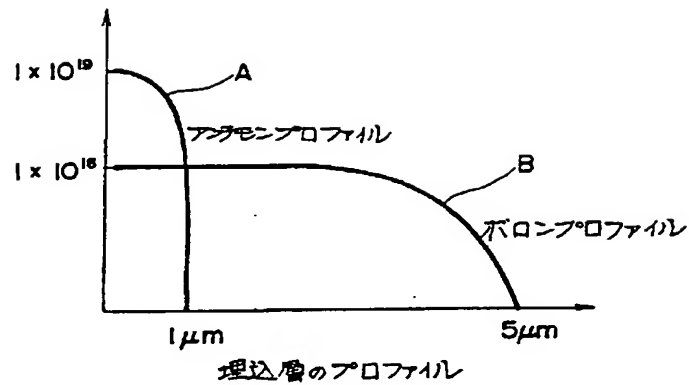
第 2 図 (4/7)



実施例の製造方法 (5)

第 2 図 (5/7)





第 3 図

第 1 頁の続き

⑤Int. Cl. 3

H 01 L 21/331  
27/06  
29/73

識別記号

庁内整理番号

8225-5F H 01 L 29/72

⑦発 明 者 中 村

浩 康

静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**